

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI  
(c) 2003 Thomson Derwent. All rts. reserv.  
008369540 \*\*Image available\*\*

WPI Acc No: 1990-256541/199034

Liquid crystal display with image elements in matrix - sets additional  
capacity among electrode and two selective wires to improve image

NoAbstract Dwg 1/8

Patent Assignee: SONY CORP (SONY )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2178632	A	19900711	JP 88331506	A	19881229	199034 B

Priority Applications (No Type Date): JP 88331506 A 19881229

Title Terms: LIQUID; CRYSTAL; DISPLAY; IMAGE; ELEMENT; MATRIX; SET; ADD;  
CAPACITY; ELECTRODE; TWO; SELECT; WIRE; IMPROVE; IMAGE; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;  
H01L-027/12

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

03203132     \*\*Image available\*\*

**LIQUID CRYSTAL DISPLAY DEVICE**

PUB. NO.:     02-178632 [JP 2178632 A]

PUBLISHED:     July 11, 1990 (19900711)

INVENTOR(s):   HAYASHI YUJI

                 MAEKAWA TOSHIICHI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
                 (Japan)

APPL. NO.:     63-331506 [JP 88331506]

FILED:           December 29, 1988 (19881229)

INTL CLASS:     [5] G02F-001/136; G09F-009/30; H01L-027/12

JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
                 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION  
                 -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --  
Metal Oxide Semiconductors, MOS)

JOURNAL:        Section: P, Section No. 1111, Vol. 14, No. 449, Pg. 58,  
                 September 26, 1990 (19900926)

**ABSTRACT**

**PURPOSE:** To improve image quality by arranging plural picture elements having switching transistors (TRs) and picture element electrodes in matrix, disposing 1st and 2nd selection lines between the respective lines of the plural picture elements and providing additional capacitors between the picture element electrodes and the 1st and 2nd selection lines.

**CONSTITUTION:** The plural picture elements having the switching TRs 2 and picture element electrodes 1 which are respectively of CMOS configuration are arranged in matrix. Signal lines 3n are disposed between the respective rows of the plural picture elements and the 1st and 2nd selection lines 4a(sub n) and 4b(sub n) are respectively disposed between the respective lines of the plural picture elements. The additional capacitors Ca and Cb are provided between the picture element electrodes 1 and the selection lines 4a(sub n) and 4b(sub n) to constitute the display device. The need for electrode wirings to be exclusively used for storage capacitors Ca and Cb is eliminated in this way and the decrease of an aperture rate is prevented as well. Since the selection signals, the inverse of Vp and Vp inputted via the selection lines 4a(sub n) and 4b(sub n) are offset by each other, the deterioration in the image quality by jumping of the selection signals, the inverse of Vp and Vp into the video signal Vs is prevented.

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A) 平2-178632

⑧ Int. Cl.<sup>3</sup>

G 02 F 1/136  
G 09 F 9/30  
H 01 L 27/12

職別記号

5 0 0  
3 3 8

庁内整理番号

7370-2H  
6422-5C  
7514-5F

⑨ 公開 平成2年(1990)7月11日

審査請求 未請求 請求項の数 1 (全6頁)

⑩ 発明の名称 液晶表示装置

⑪ 特 願 昭63-331506

⑫ 出 願 昭63(1988)12月29日

⑬ 発 明 者 林 祐 司 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑭ 発 明 者 前 川 敏 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内  
⑮ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号  
⑯ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 液晶表示装置

特許請求の範囲

夫々CHOS構成のスイッチングトランジスタ及び  
画素電極を有する複数の画素がマトリクス配列さ  
れると共に、上記複数の画素の各列間に信号線が  
配され、上記複数の画素の各行間に夫々第1及び  
第2の選択線が配されて成る液晶表示装置におい  
て、

上記画素電極と第1及び第2の選択線との間に  
付加容量が設けられて成る液晶表示装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、複数の画素をマトリクス配列してな  
る液晶表示装置に関する。

(発明の概要)

本発明は、夫々CHOS構成のスイッチングトラン  
ジスタ及び画素電極を有する複数の画素がマトリ  
クス配列されると共に、上記複数の画素の各列間

に信号線が配され、上記複数の画素の各行間に夫  
々第1及び第2の選択線が配されて成る液晶表示  
装置において、上記画素電極と第1及び第2の選  
択線との間に付加容量を設けて構成することによ  
り、付加容量に対する固定電位供給のための専用  
の電極配線の追加や開口率を低下させることなく  
画質の向上を図れるようにしたものである。

(従来の技術)

一般に、液晶表示装置の表示に生じるフリッカ  
ーやシェーディング、リーク等の対策のため、各  
画素毎に付加容量即ちストレージ容量を付加する  
必要がある。

このストレージ容量には、固定電位が必要なた  
め、ストレージ容量専用の電極配線を用いるのが  
理想であるが、電極配線を形成するための工程が  
増えることから、実際には第3図の等価回路図及  
び第4図の構成図に示すように、画素電極(11)と  
該画素電極(11)に対するスイッチングトランジス  
タ(12)が関与する選択線(13a)の1つ前の行に存

する選択線(13a-)とをオーバーラップさせて容量(C)を構成するようにしている。例、スイッチングトランジスタ(2)はNMOSトランジスタを用いている。

今、一つ前の行に存する選択線(13a-)に選択信号( $v_s$ )が加わると該信号( $v_s$ )が容量(C)を介して画素電極(11)に飛び込むが、次の行の選択線(即ち、今対象としている画素に関する選択線)(13a)に選択信号( $v_s$ )が加わることによって打消されると共に、画素内のNMOSトランジスタ(2)がオンし、変調された映像信号( $v_a$ )が信号線(14a)及び画素電極(11)を通して液晶に印加される。このとき、上記映像信号( $v_a$ )は、容量(C)に蓄積される。そして、選択信号( $v_s$ )が消滅すると同時にNMOSトランジスタ(2)はOFF状態に戻るが、次の定電期間まで固定電位となるため、容量(C)に蓄積された電荷は、例えば1フレームの間、引き続き液晶に加わり、容量(C)はその間ストレージ容量として機能する。

ところが、上記構成の場合、選択信号( $v_s$ )は

NMOSトランジスタ(2)内においてスレッシュド電圧( $V_{th}$ )分の電位降下が生じるため、選択信号( $v_s$ )のレベルを映像信号( $v_a$ )のレベルよりもスレッシュド電圧( $V_{th}$ )分高いレベルにさせる必要がある。従って、この高レベルの選択信号( $v_s$ )が供給されるNMOSトランジスタ(2)のゲート耐圧を極めて大きくする必要があり、そのため液晶表示装置の信頼性が低下するという不都合があった。

また、スイッチングトランジスタ(2)は、各画素に1個のみ配置されているため、該トランジスタ(2)が破壊された場合、その画素の部分は白点あるいは黒点として表示され、画像を著しく劣化させるという不都合がある。

そこで、本出願人は、上記不都合を解消させるために、第5図に示すように、スイッチングトランジスタ(21)をCMOS構成とし、さらに複数の画素の各列間に信号線(22a)を配し、複数の画素の各行間に夫々第1及び第2の選択線(23a-)及び(23b-)を配するようにした液晶表示装置を提案した(特

願昭61-227362号参照)。

この構成によれば、例えば信号線(22a)に第6図Aに示すような映像信号( $v_a$ )が供給されていた場合、第1及び第2の選択線(23a-)及び(23b-)には同図B、Cに示すような互いに逆極性の選択信号( $\bar{v}_s$ )、( $v_s$ )を供給して、NMOSトランジスタ(21N)とPMOSトランジスタ(21P)とが夫々のパルス期間に導通されるため、映像信号( $v_a$ )が各選択信号( $\bar{v}_s$ )、( $v_s$ )のパルス期間にNMOS及びPMOSトランジスタ(21N)及び(21P)とを導通して画素電極(24)に供給されると共に、映像信号( $v_a$ )の高電位期間にはPMOSトランジスタ(21P)が充分に導通し、低電位期間にはNMOSトランジスタ(21N)が充分に導通する。そのため、夫々の選択信号( $\bar{v}_s$ )、( $v_s$ )のレベルを映像信号( $v_a$ )のレベル $|V_{s1}-V_{s2}|$ と等しくすることができ、それによりNMOS及びPMOSトランジスタ(21N)及び(21P)のゲート耐圧を大きくする必要がなく、液晶表示装置の信頼性が向上す。また、PMOS又はNMOSのどちらかのトランジスタが破壊されても一方のト

ランジスタが作動しているため、白点あるいは黒点として表示されず画質は劣化されないという特徴を有する。

#### (発明が解決しようとする課題)

しかしながら、従来のCMOSトランジスタをスイッチングトランジスタとする液晶表示装置においては、フリッカーやシェーディング、リーク等に対する対策用としてのストレージ容量を設ける場合、上記第3図及び第4図に示すような構成は、パターンレイアウト上困難であり、たとえ設けられたとしてもその容量値がかせがないという不都合がある。即ち、CMOSトランジスタをスイッチングトランジスタとする画素内にストレージ容量を第3図及び第4図の構成で実現させる場合、第7図及び第8図に示すような等価回路及び構成となる。即ち、画素電極(24)と第1の選択線(23a-)との間に第1の容量( $C_1$ )が形成され、画素電極(24)と一つ前の行に存する画素群が関与する第2の選択線(23b-)との間に第2の容量( $C_2$ )が

形成される。尚、符号は第5図と対応するものについては同じ符号を用いる。

この構成においては、第1の選択線(23a)に選択信号( $V_s$ )が入ったと、第1の選択線(23a)と画素電極(24)において容量接合(斜線で示す)(25)されているため、例えば、画素に黒の表示をさせたい場合、比較的低いレベルの映像信号( $v_s$ )が信号線(22a)を通して入ってくるが、高レベルの選択信号( $V_s$ )が上記容量接合部分(25)を介して飛び込むため、黒の表示状態を著しく劣化させる。

また、上記第7図及び第8図で示すストレージ容量( $C_1$ )及び( $C_2$ )の形成は、実質的にはNHOSトランジスタ(21)のみに対する容量形成に帰着するため、画素全体から見るとその容量値は低いものとなり、フリッカー防止としての機能を十分果たすことができない。

本発明は、このような点に鑑み成されたもので、その目的とするところは、スイッチングトランジスタとしてCHOSトランジスタを用いた液晶表示装

置において、ストレージ容量( $C_a$ )及び( $C_b$ )を形成するようにしたので、ストレージ容量( $C_a$ )及び( $C_b$ )に供する専用の電極配線を形成するためのプロセスが不要となり、もって、電極配線の存在による開口率の低下をも阻止することが可能である。

また、第1及び第2の選択線(4a)及び(4b)を介して入力される選択信号( $V_s$ )及び( $v_s$ )は、互いに相殺されるので、選択信号( $V_s$ )及び( $v_s$ )の映像信号( $v_s$ )への飛び込みによる画質の劣化を防止することができる。

#### 〔実施例〕

以下、第1図及び第2図を参照しながら本発明の実施例を説明する。

第1図は、本実施例に係る液晶表示装置の要部(1画素の構成)を示す等価回路図であり、第2図はその構成図である。

これらの図において、(1)は画素(液晶セル(1C))を構成する透明の画素電極、(2)は画素を駆動するためのスイッチング用のトランジスタを示

す。また、画素の各列間には映像信号( $v_s$ )を供給するための信号線(3a)が配され、画素の各行間には、1行に並ぶ画素群に対し、該画素群を挟むようにしてそれぞれ第1及び第2の選択線(4a)及び(4b)が配される。尚、第1及び第2の選択線(4a)及び(4b)には互いに逆極性の選択信号( $V_s$ )及び( $v_s$ )が供給される。

#### 〔課題を解決するための手段〕

本発明の液晶表示装置は、夫々CHOS構成のスイッチングトランジスタ(2)及び画素電極(1)を有する複数の画素がマトリクス配列されると共に、上記複数の画素の各列間に信号線(3a)が配され、上記複数の画素の各行間に夫々第1及び第2の選択線(4a)及び(4b)が配されて成る液晶表示装置において、上記画素電極(1)と第1及び第2の選択線(4a)及び(4b)との間に付加容量( $C_a$ )及び( $C_b$ )を設けて構成する。

#### 〔作用〕

上述の本発明の構成によれば、画素電極(1)と第1及び第2の選択線(4a)及び(4b)との間にス

す。また、画素の各列間には映像信号( $v_s$ )を供給するための信号線(3a)が配され、画素の各行間には、1行に並ぶ画素群に対し、該画素群を挟むようにしてそれぞれ第1及び第2の選択線(4a)及び(4b)が配される。尚、第1及び第2の選択線(4a)及び(4b)には互いに逆極性の選択信号( $V_s$ )及び( $v_s$ )が供給される。

スイッチングトランジスタ(2)は、CHOSトランジスタにて構成され、第1の選択線(4a)側に例えばNHOSトランジスタ(2N)が接続され、第2の選択線(4b)側にはPHOSトランジスタ(2P)が接続される。更に詳しくは、NHOSトランジスタ(2N)のドレイン(2Na)が画素電極(1)に接続され、ソース(2Ns)が信号線(3a)に接続され、ゲート(2Ng)が第1の選択線(4a)に接続される。一方のPHOSトランジスタ(2P)においては、ドレイン(2Pa)が画素電極(1)に、ソース(2Ps)が信号線(3a)に、ゲート(2Pg)が第2の選択線(4b)に接続される。

そして、本実施例においては、第2図に示すように、画素電極(1)を第1及び第2の選択線(4a)

及び(4b.)にオーバーラップさせて形成することにより、画素内にストレージ容量(Ca)及び(Cb)を付加させようとしている(斜線で示す)。このとき画素電極(1)と第1の選択線(4a.)とのオーバーラップ分と、画素電極(1)と第2の選択線(4b.)とのオーバーラップ分を同一にする。また、互に特性の異なるNHOS、PHOSトランジスタの場合にはNHOS、PHOSトランジスタ(2N)、(2P)のチャンネル幅(Wa)、(Wp)及びチャンネル長(La)、(Lp)を変えてそれぞれのストレージ容量(Ca)、(Cb)に入る電位を同一にさせるようにしてもよい。上記形成方法は、そのプロセスを簡略化させることが可能である。

上述の如く本例によれば、画素電極(1)を第1及び第2の選択線(4a.)及び(4b.)とにオーバーラップさせるだけで、従来からストレージ容量の形成が困難であったCHOS構成のスイッチングトランジスタを有する画素内に、ストレージ容量を形成することが可能となる。また、第1及び第2の選択線(4a.)及び(4b.)にオーバーラップさせてス

トレージ容量(Ca)、(Cb)を形成しているの  
で、選択信号(Vs.)及び(Vs.)が消滅してスイッチングトランジスタ切がOFF状態に戻った際、ストレージ容量(Ca)、(Cb)には固定電位がかかるため、固定電位を供給するための専用の電極配線を新たに追加形成する必要がないと共に、専用の電極配線の形成による画素の開口率の低下をも防止することができる。

また、本実施例においては、選択信号(Vs.)及び(Vs.)がそれぞれストレージ容量(Ca)、(Cb)を通して入力されてきても、互いに相殺されてしまうため、従来の如く選択信号が映像信号に乗り込んで画質を劣化させるということがない。

尚、本実施例は、スイッチングトランジスタとしてCHOS構成のトランジスタ切を用いているので、選択信号レベルの低減、黒点あるいは白点表示の防止等の効果を奏することは自明である。

また、上記実施例では、第1の選択線(4a.)にNHOSトランジスタ(2N)、第2の選択線(4b.)に

PHOSトランジスタ(2P)を接続させたが、その逆の構成を採用してもよい。

#### (発明の効果)

本発明に係る液晶表示装置は、夫々CHOS構成のスイッチングトランジスタ及び画素電極を有する複数の画素がマトリクス配列されると共に、上記複数の画素の各列間に信号線が配され、上記複数の画素の各行間に夫々第1及び第2の選択線が配されて成る液晶表示装置において、上記画素電極と第1及び第2の選択線との間に付加容量を設けるようにしたので、付加容量に対する固定電位供給のための専用の電極配線の追加形成及び開口率を低下させることなく画質の向上を図ることができる。

#### 図面の簡単な説明

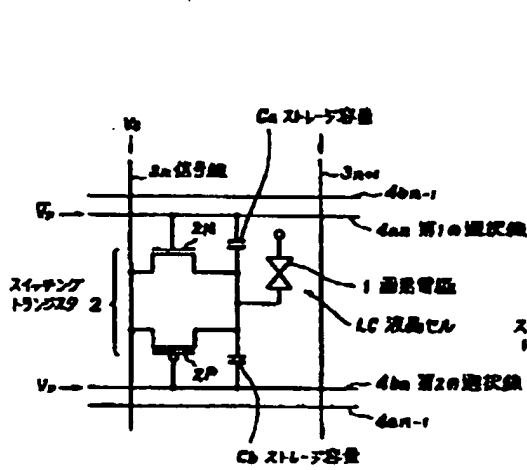
第1図は本実施例に係る液晶表示装置の要部を示す等価回路図、第2図はその構成図、第3図は従来例を示す等価回路図、第4図はその構成図、第5図は他の従来例を示す等価回路図、第6図は

映像信号及び選択信号の波形図、第7図は他の従来例に第3図の回路を応用した場合を示す等価回路図、第8図はその構成図である。

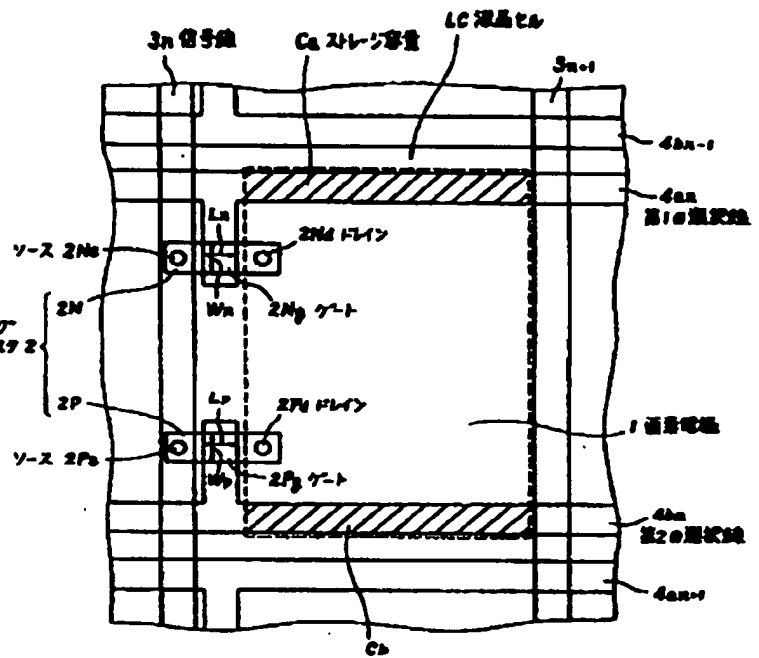
(1)は画素電極、(2)はスイッチングトランジスタ、(2N)はNHOSトランジスタ、(2P)はPHOSトランジスタ、(3a)は信号線、(4a.)は第1の選択線、(4b.)は第2の選択線、(Ca)、(Cb)はストレージ容量である。

代理人 伊藤 貞

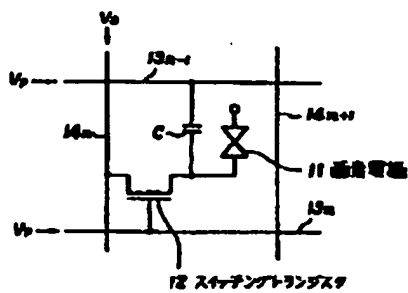
岡 松 隆 秀 盛



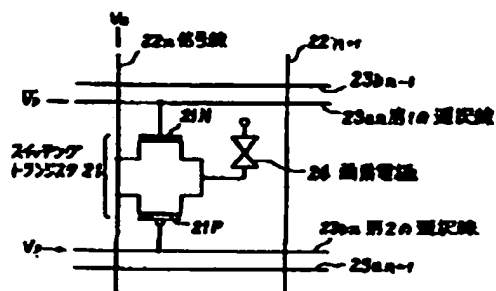
本実施例を示す等価回路図  
第 1 図



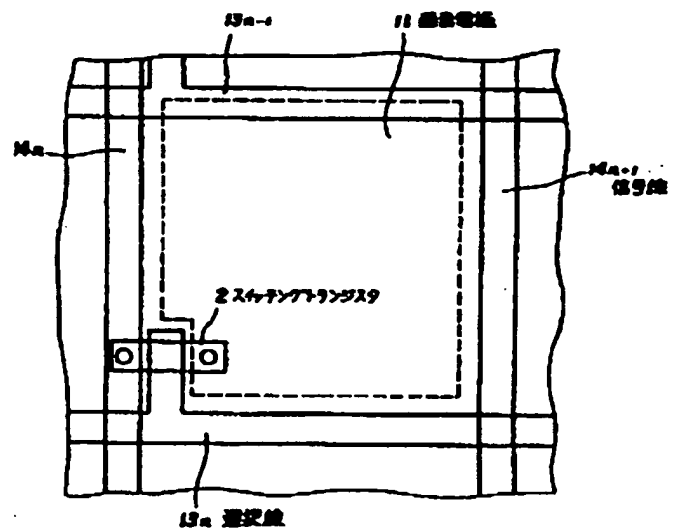
本実施例を示す構成図  
第 2 図



従来例を示す等価回路図  
第 3 図

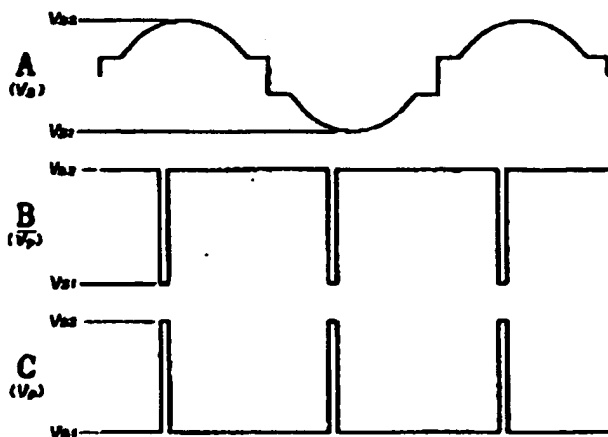


他の従来例を示す等価回路図  
第 5 図

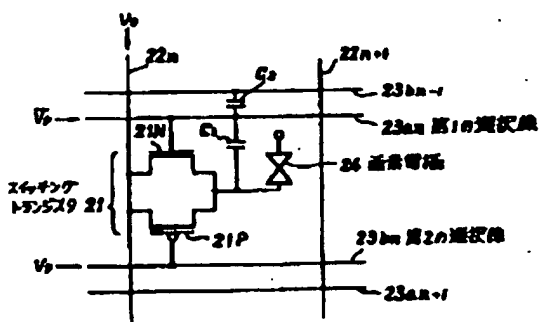


従来例を示す構成図  
第 4 図

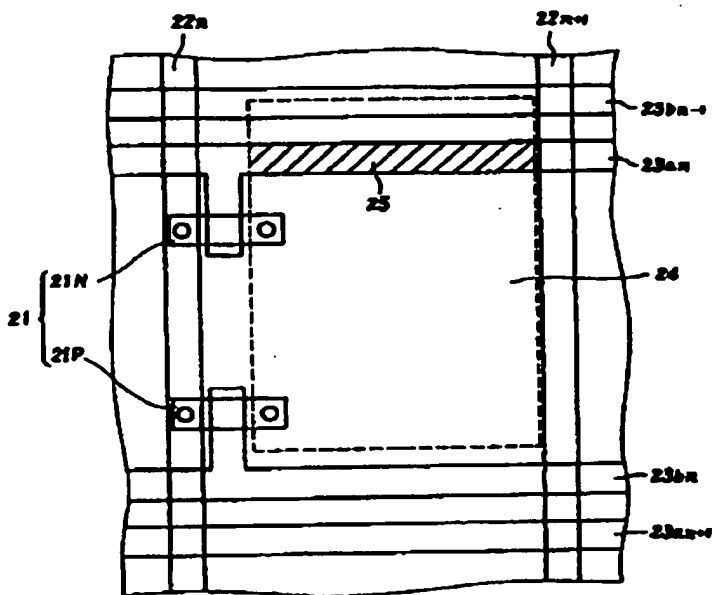




映像信号及び選流信号の波形図  
第 6 図



他の従来例に第3図の構成を応用した場合を示す等価回路図  
第 7 図



他の従来例に第4図の構成を応用した場合を示す構成図  
第 8 図